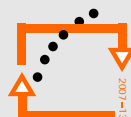




EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,
MLÁDEŽE A TĚLOVÝCHOVY



OP Vzdělávání
pro konkurenceschopnost



Střední škola informatiky, elektrotechniky a zemědělské mechaniky
Rožnov pod Radhoštěm

INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ

© fuchs

Název projektu:

Zavedení výuky programování hradlových polí FPGA ve VHDL



Operační program Vzdělávání pro konkurenceschopnost.
Registrační číslo projektu CZ. 1.07/1.1.08/01.0035.

Projekt je zaměřený na zavedení výuky programování hradlových polí v jazyku VHDL na Střední škole informatiky, elektrotechniky a zemědělské mechaniky v Rožnově pod Radhoštěm a dalších středních školách v rámci R. Součástí projektu je i organizace soutěže pro studenty středních škol v programování hradlových polí ve VHDL.

SOUTĚŽ



studentů středních škol v programování
hradlových polí ve VHDL

Ceny pro nejúspěšnější řešitele:
programovatelné kity NEXYS 2



Termín soutěže: 12. 2. 2010

Zahájení soutěže: v 10:00 hodin

Místo konání: hlavní budova SŠIE Rožnov p. R., ul. ebna .204

**Přihlášky do soutěže: do 8. 2. 2010,
stažení přihlášky na stránkách projektu**

Obdobnost pro všechny účastníky soutěže zajištěno.



Tento projekt je spolufinancován Evropským sociálním fondem a státním rozpočtem České republiky.

